



**芯驿电子科技（上海）有限公司**

技术支持: support@alinx.com  
 电话: 021-67676997

IP 相关信息	
相关文档	NVMe SPCle 产品简介
IP 提供形式	加密网表
设计语言	Verilog
开发工具	Vivado 2020.1
支持系列器件	AMD UltraScale AMD UltraScale+ AMD Zynq UltraScale+

**产品特性**

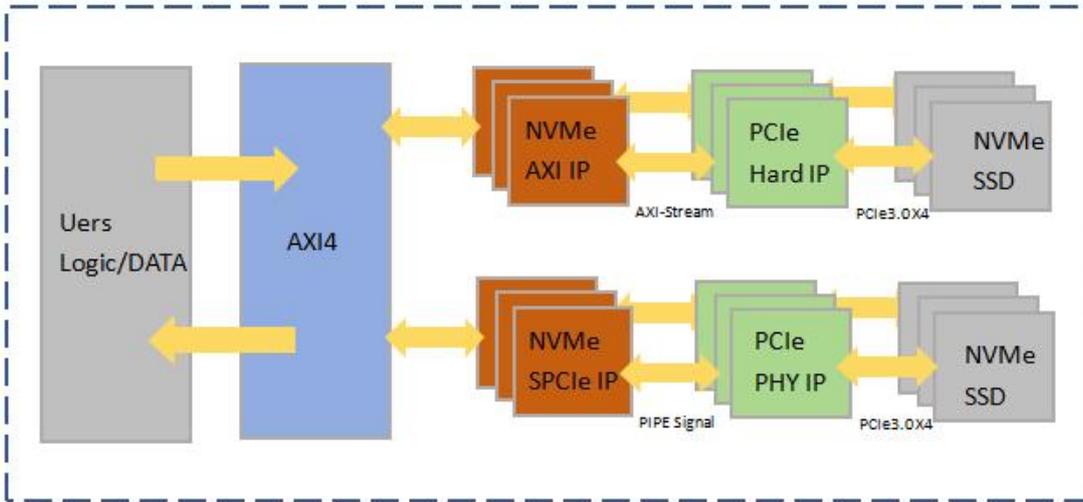
- 带有 PCIe 软核 IP 的 NVMe 主机控制器，实现不依靠 CPU 访问外置内存 NVMe SSD
- 支持命令： Identify, Write, Read, and Flush
- 支持 PCIe Gen 1.0, 2.0, 3.0, 4.0
- 兼容 NVM Express 1.4 协议
- 自动初始化 NVMe 和 PCIe 链路硬件模块
- 自动的提交和完成命令
- 支持最大每个队列 65535 个 I/O 命令
- 基于 PCIe3.0 X4 读写速率均可达到 3000MB/s
- MPSMIN(最小内存页传输大小): 4Kbyte
- MDTs (最大数据传输大小) : 至少 128Kbyte 或者没有限制
- LBA 单元: 512 字节或者 4096 字节
- 实现的参考设计: XCZU19EG + FMC 子板(FH1402)+SAMSUNG 980 M.2 SSD
- 提供完备的技术支持与定制化设计服务

**IP 资源消耗表**

器件系列	芯片型号	频率 (MHz)	CLB Regs	CLB LUTs	CLB	BRAM Tile	DesignTools
Zynq-Ultrascale+	XCZU19EG-FFVC1760-2-i	250	65217	89356	18737	57	Vivado2020.1

注：IP 实际逻辑资源消耗受实例化中其他逻辑资源消耗

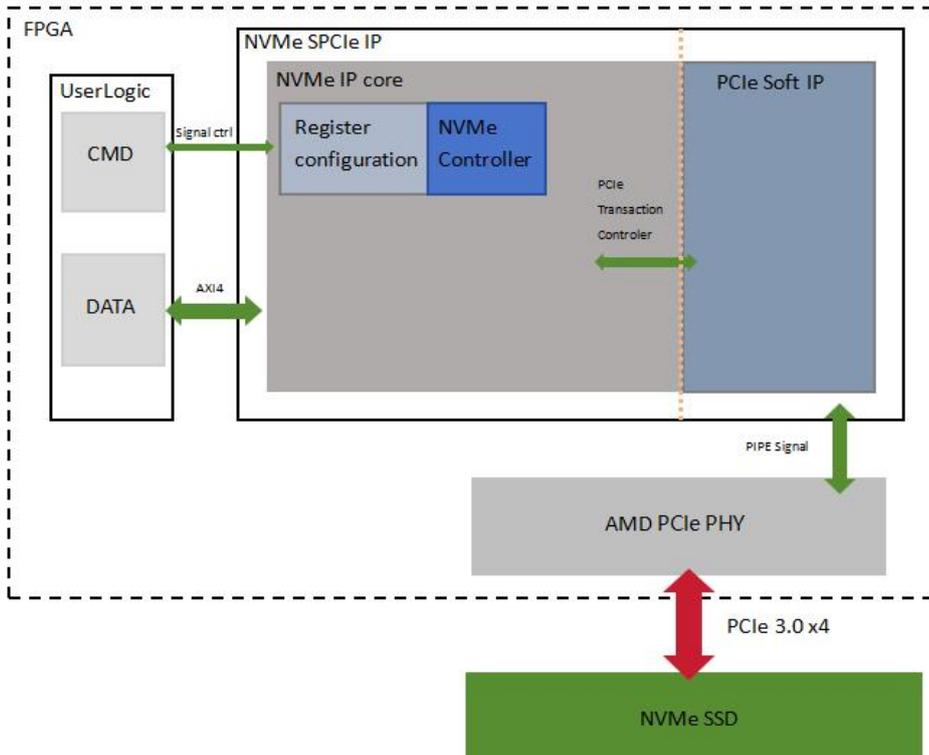
## NVMe SPCle IP 应用交互



NVMe IP 核与 PCIe 软 IP 核结合的 NVMe SPCle IP 是完成了用户想通过没有 PCIe 硬核 IP 去访问 NVMe SSD 的理想方案。ALINX 强烈建议首选使用不包含 PCIe 硬 IP 核的低成本 FPGA，来用于需要非常大的存储空间和高速存储需求的应用。当用户所选设备没有足够的 PCIe 硬 IP 核来连接所有的 NVMe SSD 时，可以同时使用 NVMe AXI IP 和 NVMe SPCle IP 进行系统设计，如上图。

当所选 FPGA 器件已经集成了 PCIe 硬 IP 核，并且 FPGA 器件内部 PCIe 硬 IP 核数量足够时，建议使用 NVMe AXI IP 进行设计，以减少 FPGA 资源的占用。

## NVMe SPCle IP 框图



ALINX 开发 NVMe SPCle IP 作为主控模块利用 PCIe Soft IP 去访问 NVMe SSD。与公司另一个 NVMe AXI IP 相比在用户使用界面和功能上相似。NVMe SPCle IP 包含了 PCIe 软 IP 核，实现了 PCIe 协议的数据链路层和物理层的部分功能。NVMe SPCle IP 的物理接口通过 PIPE 接口与 AMD PCIe PHY 连接。AMD PCIe PHY 包括收发器和均衡器逻辑。

NVMe SPCle IP 由 NVMe IP 和 PCIe 软 IP 核组成，因此 NVMe SPCle IP 的所有功能与 NVMe AXI IP 相似。下表显示了 NVMe SPCle IP 和 NVMe AXI IP 的比较信息。

IP 类型	NVMe AXI IP	NVMe SPCle IP
PCIe 接口类型	AXI4 Stream	PIPE
AMD PCIe IP	UltraScale+ Devices Integrated Block for PCI Express IP (PCIe Hard IP)	UltraScale+ PHY for PCI Express IP (PCIe PHY IP)
PCIe Hard IP	必需的	不需要
PCIe Speed	1-4 Lane with Gen3 或者更低速率	仅支持 4 Lane PCIe Gen3
User 接口	相同	相同
FPGA 资源消耗	较小	较大
最大 SSD 数量	取决于 PCIe 硬 IP 核的数量	取决于收发器的数量
SSD 传输性能	读写 3000MB/s	读写 3000MB/s

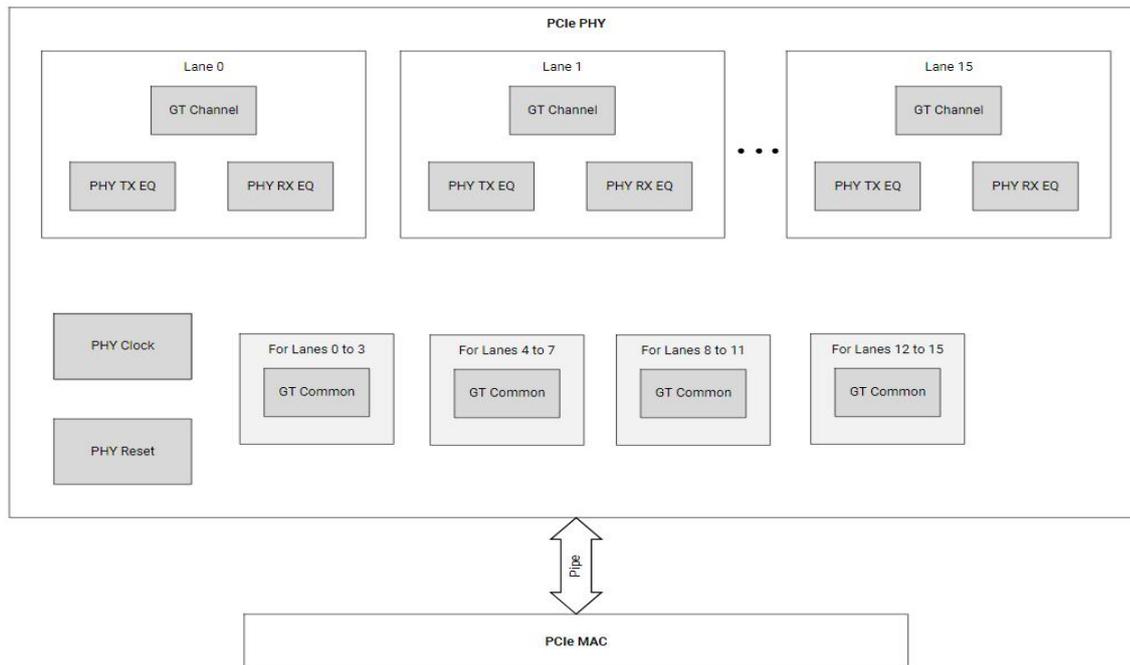
如上表所示，NVMe SPCle IP 的主要优点是不需要使用 PCIe 硬 IP 核。因此，SSD 的最大数量不受 PCIe 硬 IP 核数量的限制，而是受收发器模块数量和资源的限制。但是 NVMe SPCle IP 的缺点也显而易见，资源消耗会比 NVMe AXI IP 高，且仅支持 4 Lane PCIe Gen3 SSD。

上述提到的 NVMe AXI IP，有关该 IP 的更多信息可以联系 ALINX 进行了解。并且在您购买 IP 前可以对您当前 FPGA 器件进行参考设计评估。

## 用户使用方法

运行 NVMe SPCle IP 的用户逻辑与 NVMe AXI IP 的用户逻辑类似，因此用户可以使用相同的逻辑运行 NVMe SPCle IP 和 NVMe AXI IP。

## AMD PCI Express IP



该模块由 AMD 提供，允许通过软 IP 核而不是硬 IP 核构建 PCIe MAC。该 IP 的用户接口为 PHY Interface for PCI Express (PIPE)。对于 NVMe SPCle IP，PCIe PHY 设置为 Lane 宽度 X4，Link 速度为 8.0GT/s。

有关 UltraScale+ PHY for PCI Express IP 的详细信息参照” PG239 “文档

<https://docs.amd.com/r/en-US/pg239-pcie-phy/IP-Facts>